

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2000-114174
(P2000-114174A)

(43)公開日 平成12年4月21日(2000.4.21)

(51)Int.Cl. ⁷	識別記号	F I	テマコード*(参考)
H 0 1 L 21/20		H 0 1 L 21/20	5 F 0 5 2
21/268		21/268	T 5 F 1 1 0
			F
29/786		29/78	6 1 2 A
21/336			6 2 7 G

審査請求 未請求 請求項の数14 O L (全 9 頁)

(21)出願番号 特願平10-283015

(22)出願日 平成10年10月5日(1998.10.5)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 阿部 裕幸

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74)代理人 100093388

弁理士 鈴木 喜三郎 (外2名)

Fターム(参考) 5F052 AA02 BA07 BA18 BB07 CA07

DA01 DB02 JA04

5F110 AA30 BB02 CC02 DD02 DD13

EED4 EE44 FF02 FF29 GG02

GG13 GG25 GG47 HJ01 HJ13

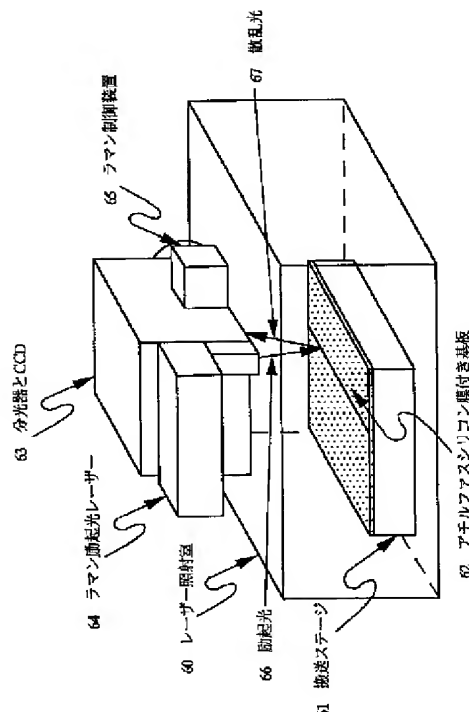
NN02 NN23 NN35 PP06 PP10

(54)【発明の名称】 半導体膜の製造方法、薄膜トランジスタの製造方法、アクティブマトリクス基板、及びアニール装置

(57)【要約】

【課題】 半導体膜の結晶化率にばらつきのない高品質結晶性半導体膜の製造方法を提供することを課題とする。

【解決手段】 結晶化のエネルギー光を照射する前に予備照射工程として、半導体膜に対して1パルスのラインビームであるエネルギー光を照射し半導体膜をライン状に結晶化する。これに対して顕微鏡の暗視野モード、またはラマン分光分析の信号強度測定等、半導体膜表面の散乱光強度を測定することによって、結晶性半導体膜が微結晶化を生じる照射エネルギー密度を求めた後、その照射エネルギー密度を超えないようなエネルギー密度によって、結晶化のアニールを行う。



【特許請求の範囲】

【請求項1】 基板上に半導体膜を形成する成膜工程と、前記半導体膜に対してエネルギー光を照射して結晶性半導体膜を得るアニール工程を有する半導体膜の製造方法において、

前記成膜工程前に前記半導体膜にエネルギー光を照射し、前記半導体膜からの光に基づいて前記エネルギー光の照射エネルギー密度を決定する予備照射工程を有することを特徴とする半導体膜の製造方法。

【請求項2】 請求項1において、前記エネルギー光はレーザー光であることを特徴とする半導体膜の製造方法。

【請求項3】 請求項2において、前記レーザー光はラインビームであることを特徴とする半導体膜の製造方法。

【請求項4】 請求項3において、前記ラインビームのほぼライン方向と垂直であるビームの断面形状の頂上に平らな部分を有していることを特徴とする半導体膜の製造方法。

【請求項5】 請求項3において、前記ラインビームのほぼライン方向と垂直であるビームの断面形状の頂上に平らな部分がないことを特徴とする半導体膜の製造方法。

【請求項6】 請求項1ないし5のいずれかにおいて、前記予備照射工程では、前記半導体膜に対して1パルスのラインビームであるエネルギー光の照射を行ない、前記半導体膜をライン状に結晶化し、結晶性半導体膜が微結晶化を生じる照射エネルギー密度（以下、微結晶化のしきい値、とする）を求めた後、その微結晶化のしきい値を超えないよう、前記結晶性半導体膜を得るアニール工程の照射エネルギー密度を決定することを特徴とする半導体膜の製造方法。

【請求項7】 請求項6において、前記微結晶化のしきい値を、その表面の散乱光強度の変化から判断することを特徴とする半導体膜の製造方法。

【請求項8】 請求項7において、半導体膜の表面散乱光強度の変化から前記微結晶化のしきい値を、ラマン分光分析による信号強度測定によって判断することを特徴とする半導体膜の製造方法。

【請求項9】 請求項7において、半導体膜の表面散乱光強度の変化から光学顕微鏡の暗視野における落射光の強度測定を行うことによって前記微結晶化のしきい値を判断することを特徴とする半導体膜の製造方法。

【請求項10】 請求項1乃至9のいずれかに規定する半導体膜の製造方法において、前記半導体膜は10nmから60nmの膜厚の範囲に形成され、且つエネルギー密度が60～180mJ/cm²の範囲でアニールされることを特徴とする半導体膜の製造方法。

【請求項11】 請求項10において、前記半導体膜の膜厚が20～40nmの範囲では前記レーザー光のエネ

ルギー密度が100～160mJ/cm²の範囲に設定されてなることを特徴とする半導体膜の製造方法。

【請求項12】 請求項1乃至11のいずれかに規定する半導体膜の製造方法によって得た結晶性半導体膜から薄膜トランジスタを形成することを特徴とする薄膜トランジスタの製造方法。

【請求項13】 請求項12に規定する薄膜トランジスタの製造方法によって製造した薄膜トランジスタを有することを特徴とするアクティブマトリクス基板。

【請求項14】 請求項1乃至11のいずれかに規定する半導体膜の製造方法に用いるアニール装置であって、エネルギー光を出射する光源部、および該光源部から出射されたエネルギー光を均一なラインビームにするための光学系と、前記予備照射の結果を判断するための分析光学系を有することを特徴とするアニール装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、基板表面に形成した半導体薄膜にエネルギー光を照射してその結晶化処理、あるいは結晶性を高めるための処理を行う半導体膜の製造方法、それを用いた薄膜トランジスタ（以下、TFTという。）の製造方法、この方法で製造したTFTを用いたアクティブマトリクス基板、および半導体膜の製造方法に用いるアニール装置に関するものである。

【0002】

【従来の技術】液晶表示装置に用いられるアクティブマトリクス基板では、基板に汎用の安価なガラス基板を用いることができるよう低温プロセスによるTFTの製造が望まれている。ここで、TFTのチャネル領域等を形成するのに必要なシリコン膜のうち、アモルファスシリコン膜については低温プロセスによって成膜できるものの、アモルファスシリコンのままでは得られるTFTの移動度が低いという欠点がある。

【0003】そこで、基板上に形成したアモルファスシリコン膜にレーザー光（エネルギー光）を照射して熔融結晶化する方法（レーザーアニール）が検討されている。このようなレーザー光による熔融結晶化においては、その照射レーザー光強度により得られる結晶性半導体膜の結晶性は大きく異なる。照射されたレーザー光のエネルギー密度が弱すぎると、十分な結晶成長が進まず、逆に強すぎるとアモルファスシリコン膜は微結晶化と呼ばれる粒径が数～数十nmの微小粒の集合体になってしまう。そのためレーザー光の照射エネルギー密度はこの微結晶化が起こらず、かつその範囲で可能な限り強いレベルに設定されている。

【0004】

【発明が解決しようとする課題】しかしながら、従来の半導体膜の製造方法では、このような微結晶化のしきい値を判断する方法として、予備照射工程としてのレーザー光の1パルス照射を1度以上行い、その基板を集光ラ

ンプのような強い光の下にかざすなどして、オペレーターの目視により、経験と勘に頼った判断が必要であった。

【0005】また分析的な手法としては、以前よりラマン分光分析によるラマンスペクトルの半値幅または半々値幅が結晶性の判断材料として用いられてきた。しかしながらこの方法では半値幅を求めるために、ソフトウェアによるデータの処理と解析が必要であり、その場の結晶性フィードバックには向かず、むしろ処理後の確認として用いられてきた。

【0006】さらに微結晶化のしきい値は、ビーム形状、光学系の透過率、アモルファスシリコン膜の膜厚などに応じて変動するものである。そのためには基板毎にこのような判断作業を行うことが必須となり、作業効率上大変負担となり、前述したラマン分光分析の半値幅解析といった処理を行ってはいけいではない。この対策としてはある数量の基板を流動する範囲においては種々の条件における変動を見越して照射エネルギー密度を決定してしまうのであるが、変動分によっても微結晶化が生じないよう、最適値より幾分低めの照射エネルギー密度とするため、TFT特性も低くなってしまふ。

【0007】これら問題点に鑑みて、本発明の課題は、時事、基板毎に変化する微結晶化のしきい値に対応して、絶えずこの微結晶化を超えないような照射エネルギー密度条件によってレーザー結晶化が行えるよう、基板毎簡潔に微結晶化のしきい値を確認し、エネルギー密度の制御を行うことによって、半導体膜の結晶化率にばらつきのない高品質な半導体膜の製造方法、それを用いたTFTの製造方法、この方法で製造したTFTを用いたアクティブマトリクス基板、および半導体膜の製造方法に用いるアニール装置を提供することにある。

【0008】

【課題を解決するための手段】上記課題を解決するために、本発明では、基板上に半導体膜を形成する成膜工程と、前記半導体膜に対してエネルギー光を照射して結晶性半導体膜を得るアニール工程を有する半導体膜の製造方法において、前記成膜工程前に前記半導体膜にエネルギー光を照射し、前記半導体膜からの光に基づいて前記エネルギー光の照射エネルギー密度を決定する予備照射工程を有することを特徴とする。

【0009】本発明では、アモルファスシリコン膜が形成された基板の一枚毎に、上記のような微結晶化のしきい値の確認を簡潔かつ正確に行った後、そのエネルギー密度を超えないような条件において基板全面の結晶化を行っている。このため、半導体膜は微結晶化のしきい値を越えない最適なエネルギー密度によってアニールされ、高い結晶性を有する。また基板間の半導体膜の結晶化率にばらつきは生じない。それ故、このように構成した半導体膜を用いてTFTを製造すると、いずれの基板のTFTからもばらつきのない高い電気特性を得られ

る。

【0010】本発明において、前記エネルギー光としてその種類に限定はなく、連続発振であるレーザー光を用いたとしても、その予備照射工程においては断髪的な照射によって同様な条件出しを行えばよい。また、ラインビームの長尺方向とは垂直となるY軸方向のビーム断面形状は、頂上に平らな部分を有していても（トップフラットビーム）、平らな部分を有さなくても（ガウシアンビーム）、いずれのビーム形状についても有効であるが、ガウシアンビームの場合は、微結晶化のしきい値を確認できる幅が狭いため注意を要する。

【0011】また、予備照射工程では、半導体膜に対して1パルスのラインビームであるエネルギー光の照射を行ない、半導体膜をライン状に結晶化し、結晶性半導体膜が微結晶化を生じる照射エネルギー密度（以下、微結晶化のしきい値、とする）を求めた後、その微結晶化のしきい値を超えないよう、結晶性半導体膜を得るアニール工程の照射エネルギー密度を決定する。

【0012】また、本発明は、半導体膜は10nmから60nmの膜厚の範囲に形成され、且つエネルギー密度が60～180mJ/cm²の範囲でアニールされることを特徴とする。特に、半導体膜の膜厚が20～40nmの範囲ではレーザー光のエネルギー密度が100～160mJ/cm²の範囲に設定されてなる。このような範囲で半導体膜をアニールすることにより、蒸発することがなく且つ非晶質の状態にもならず多結晶化させることが可能となる。

【0013】更に、このような半導体膜の製造方法に用いるアニール装置では、前記エネルギー光を出射する光源部、および該光源部から出射されたエネルギー光をラインビームへと成形する光学系を備える光照射装置と、微結晶化を生じた状態を判定するための光学的な判断方法としてのラマン分光分析の信号強度測定等の測定装置と、該微結晶化の測定装置によって確認された微結晶化のしきい値を超えないエネルギー密度によってエネルギー光の照射を行う照射装置を有することを特徴とする。

【0014】本発明に係る半導体膜の製造方法は、この方法で得た半導体膜からTFTを製造することが好ましく、この方法で製造したTFTは、大型基板において高性能の電気特性が要求される液晶表示装置用のアクティブマトリクス基板上で駆動回路や画素スイッチング素子を構成するのに適している。

【0015】

【発明の実施の形態】本発明の各実施の形態を説明する前に、各形態で共通なアクティブマトリクス基板の基本的な構成、およびTFTを形成する基本的な工程を説明する。

【0016】〔アクティブマトリクス基板の基本構成〕図1(A)は、液晶表示装置に用いるアクティブマトリクス基板の構成を模式的に示す説明図である。

【0017】このアクティブマトリクス基板2は例えば図10もしくは図11に示すような液晶表示装置(1)に用いられる一方の基板(2)に相当するものであり、基板2上にはデータ線3および走査線4が形成されている(図1参照)。図10は液晶表示装置の平面図であり、アクティブマトリクス基板2と対向基板(OP)とにより形成されている。アクティブマトリクス基板には、駆動回路(70、60)が基板上に形成されている。図1のH-H'断面で液晶表示装置を示したのが図11である。

【0018】基板(2)上にはデータ線3及び走査線4には画素用薄膜トランジスタ(10)を介して画素電極が接続されてなり、画素領域5がマトリクス上に形成されている。また、そこには画素用のTFT10を介して画像信号が入力され、液晶セルの液晶容量6が構成されている。

【0019】データ線3に対しては、シフトレジスタ71、レベルシフト72、ビデオライン73、アナログスイッチ74を備えるデータドライバ部7が構成され、走査線4に対しては、シフトレジスタ81およびレベルシフト82を備える走査ドライバ部8が構成されている。なお、画素領域5には、前段の走査線4との間に保持容量25が形成されることもある。

【0020】データドライバ部7や走査ドライバ部8では、図1(B)に2段のインバータを例示するように、N型のTFTn1、n2と、P型のTFTp1、p2とによって構成されたCMOS回路などが高密度に形成される。但し、アクティブマトリクス部9のTFT10と、データドライバ部7のTFTn1、n2やP型のTFTp1、p2とは、基本的な構造が同じであり、基本的には同じ工程中で製造される。

【0021】アクティブマトリクス基板2としては、アクティブマトリクス部9だけが基板上に構成されたもの、アクティブマトリクス部9と同じ基板上にデータドライバ部7が構成されたもの、アクティブマトリクス部9と同じ基板上に走査ドライバ部8が構成されたもの、アクティブマトリクス部9と同じ基板上にデータドライバ部7および走査ドライバ部8の双方が構成されたものがある。また、ドライバ内蔵型のアクティブマトリクス基板2であっても、データドライバ部7に含まれるシフトレジスタ71、レベルシフト72、ビデオライン73、アナログスイッチ74等の全てがアクティブマトリクス基板2上に構成された完全ドライバ内蔵タイプと、それらの一部がアクティブマトリクス基板2上に構成された部分ドライバ内蔵タイプとがあるが、いずれに対しても本発明を適用できる。

【0022】図2は、本形態のアクティブマトリクス基板2において画素領域5が形成されているアクティブマトリクス部の一部を拡大して示す平面図であり、図3(A)は図2のA-A'線における断面図、図3(B)

は図2のB-B'線における断面図である。なお、データドライバ部7などのTFTは基本的には同一の構造を有するので、その図示を省略する。

【0023】これらの図において、いずれの画素領域5におけるTFT10はデータ線3に対して層間絶縁膜16に形成されたコンタクトホール17を介して電氣的接続するソース領域11、画素電極19に対して層間絶縁膜16に形成されたコンタクトホール18を介して電氣的接続するドレイン領域12、ドレイン領域12とソース領域11との間に位置するチャネル領域13、およびチャネル領域13に対してゲート絶縁膜14を介して対峙するゲート電極15から構成されている。このゲート電極15は走査線4の一部として構成されている。なお、基板20の表面側には、シリコン酸化膜からなる下地保護膜21が形成されている。

【0024】[アクティブマトリクス基板2の製造方法の基本構成]図4を参照して、TFTの製造方法の基本的な工程を説明する。図4は、図2のA-A'線における断面に対応するTFTの工程断面図である。

【0025】本例では、ガラス基板として、300mm角の無アルカリガラス板を用いて以下の各工程を行なう(下地保護膜形成工程)図4(A)において、まず、PECVD法により250℃~400℃の温度条件下で、ガラス基板の表面に下地保護膜21となる膜厚が300nmのシリコン酸化膜を形成する。シリコン酸化膜は、APCVD法でも形成することができ、この場合には基板20の温度を250℃から450℃までの範囲に設定した状態で、モノシラン及び酸素を原料ガスとしてシリコン酸化膜を形成する。

【0026】(半導体膜堆積工程)次に、下地保護膜21の表面に真性のシリコン膜30(半導体膜)を50nm程度堆積する。本例では、高真空型LPCVD装置を用いて、原料ガスであるジシランを200SCCM流しながら、425℃の堆積温度でアモルファスシリコン膜30を堆積する。なお、シリコン膜30の形成にあたっては、PECVD法やスパッタ法を用いてもよく、これらの方法によれば、その成膜温度を室温から350℃までの範囲に設定することができる。

【0027】(レーザー溶融結晶化法によるアニール工程)次に、図4(B)に示すように、アモルファスシリコン膜30にレーザー光を照射してアモルファスシリコン膜30を多結晶シリコンに改質する。本例では、たとえば、ゼノン・クロライド(XeCl)のエキシマ・レーザー(波長が308nm)を照射する。出力が200Wであるこのレーザービームを光学系を介することによって、長尺方向が150mm、断面のビーム形状は上底が0.35mm、下底が0.45mmである台形のラインビームを形成している。そしてこのラインビームを、基板に対して上底のビーム幅以下のピッチで重なりを持ちながら、照射をしていくことによって、アモルファス

10

20

30

40

50

シリコン膜は熔融結晶化により多結晶シリコン膜となる。

【0028】この工程において、レーザー照射は、基板20を室温(25℃)とし、真空雰囲気中あるいは不活性ガス雰囲気中または大気中で行なう。

【0029】本発明では、このアニール工程を行なう際に、照射エネルギー密度を決定するにあたって、光学的な手法によって微結晶化を発現するエネルギー密度を判断した後、それを越えないエネルギー密度によって照射を行っているが、その詳細な説明は実施の形態毎に後述する。

【0030】(シリコン膜のパターニング工程)次に、図4(C)に示すように、アニール工程で多結晶化したシリコン膜30を、フォトリソグラフィ技術を用いてパターニングを行い、島状のシリコン膜31とする。

【0031】(ゲート絶縁膜の形成工程)次に、図4(D)に示すように、PECVD法により250℃～400℃の温度条件下で、シリコン膜31に対してシリコン酸化膜からなるゲート酸化膜14を形成する。

【0032】(ゲート電極形成工程)次に、ゲート酸化膜14の表面側に膜厚が600nmのタンタル薄膜をスパッタ法により形成した後、それをフォトリソグラフィ技術を用いてパターニングし、ゲート電極15を形成する。本例では、タンタル薄膜を形成する際に、基板温度を180℃に設定し、スパッタガスとして窒素ガスを6.7%含むアルゴンガスを用いる。このように形成したタンタル薄膜は、結晶構造がα構造であり、その比抵抗は小さい。

【0033】(不純物導入工程)次に、バケット型質量非分離型のイオン注入装置(イオンドーピング装置)を用いて、ゲート電極15をマスクとしてシリコン膜31に不純物イオンを打ち込む。Nチャネル型のTFTを形成する場合には、原料ガスとして、水素ガスで濃度が5%となるように希釈したホスフィンなどを用いる。その結果、ゲート電極15に対してセルフアライン的にソース領域11およびドレイン領域12が形成される。このとき、シリコン膜31のうち、不純物イオンが打ち込まれなかった部分がチャネル領域13となる。このとき、Pチャネル型のTFTを形成する領域をレジストマスクで覆っておく。

【0034】逆に、Pチャネル型のTFTを形成する場合には、原料ガスとして、水素ガスで濃度が5%となるように希釈したジボランなどを用いるが、その際にはNチャネル型のTFTを形成する領域をレジストマスクで覆っておく。

【0035】(層間絶縁膜の形成工程)次に、図4(E)に示すように、PECVD法により250℃～400℃の温度条件下で、層間絶縁膜16としての膜厚が500nmのシリコン酸化膜を形成する。このときの原料ガスは、TEOSと酸素である。

【0036】(活性化工程)次に、水素を3%含んだアルゴンガス雰囲気下で400℃、1時間の熱処理を行ない、注入したリンイオンの活性化と、層間絶縁膜16の改質とを行なう。

【0037】(配線工程)次に、層間絶縁膜16にコンタクトホール17、18を形成する。しかる後に、図3(A)に示すように、コンタクトホール17、18を介して、ソース電極(データ線3)をソース領域11に電氣的に接続し、ドレイン電極(画素電極19)をドレイン領域12に電氣的に接続し、TFT10を形成する。

【0038】なお、上記の製造方法は、TFT10をセルフアライン構造として製造する例であったが、TFT10をLDD構造あるいはオフセットゲート構造で製造する場合でも本発明を適用できる。この場合の構造や製造方法についての説明を省略するが、レジストマスクやサイドウォールを利用して、ソース・ドレイン領域のうち、ゲート電極15の端部に対峙する部分には低濃度ソース・ドレイン領域(LDD領域)、あるいはオフセット領域を形成する。

【0039】[レーザー照射時のエネルギー密度と膜質]次に、図4(B)を参照して説明したアニール工程において、アモルファスのシリコン膜30に照射したレーザー光のエネルギー密度(エネルギー強度)と、レーザー照射後の膜質との関係を、図5乃至図6を参照して説明しておく。

【0040】本発明のいずれの形態でも、後述するように、アモルファスのシリコン膜をレーザー溶融結晶化法により多結晶化させるが、このレーザー溶融結晶化法では、図5に示すように、エネルギー密度Eを増加させていくと、「▲」および一点鎖線L1で示すEc以上でシリコン膜には溶融凝固が起こって多結晶化する。ここで、エネルギー密度Eを増加させるほど、その多結晶化が進むが、エネルギー密度Eが「□」および点線L2で示すEaを超えるとシリコン膜は微結晶化し、移動度の低下が起きてしまう。

【0041】また、シリコン膜の膜厚が薄い場合には、エネルギー密度EがEaを越えなくても、エネルギー密度Eが「○」および二点鎖線L3で示すEbを超えると、アモルファスシリコン膜に戻ってしまう。なお、エネルギー密度Eが「□」および実線L4で示すEdを超えると、シリコン膜は蒸発してしまう。

【0042】また、パルス発振レーザー光のエネルギー密度Eを変えたときのシリコン膜の結晶性を図6に「○」および実線L5で示す。図6の縦軸は、ラマンピークの半値幅であるから、その値が小さいほど、結晶性が高いことを表す。これらの結果を比較してわかるように、レーザー溶融結晶化では、エネルギー密度Eの最高値を上限値Eaにかなり近い値に設定すれば、その結晶性を高めることができる。なお、ラマンピークの半値幅が上限値Eaをわずかに越えた付近で跳ね上がっている

のが、シリコン膜の微結晶化が生じている状態である。

【0043】ここで、アモルファスのシリコン膜からTF10を形成するには、シリコン膜30の結晶性を可能な限り高め、高い移動度を得たい。そこで理想的にはレーザー光のエネルギー密度は、微結晶化のしきい値よりわずかに低いエネルギー密度に設定することが好ましい。

【0044】しかしながら、例えばパルスレーザーの安定性の問題などによって、エネルギー密度にはばらつきが生じるため、理想的なエネルギー密度の設定を行って、強い方にばらついたエネルギー密度が微結晶化のしきい値を越えたときに、結晶性の低下が起こってしまう。そこで、このようなばらつきを考慮し、強い方にばらついた時にも微結晶化のしきい値を越えないよう、理想的な設定値より低く設定せざるを得ない。

【0045】このように高品質な結晶性半導体膜を得るためには、微結晶化のしきい値をアモルファスシリコン膜に対して正確に確認しておく必要がある。さらにこの微結晶化のしきい値の変動要因としては、ビーム形状の変動、光学系の透過率の変動、アモルファスシリコン膜の膜厚変動があるため、基板毎に微結晶化のしきい値を確認することが重要である。

【0046】そこで、本発明では、この微結晶化のしきい値の簡易かつ正確な光学的判断方法を提供すると共に、その判断装置を搭載した結晶化アニール装置を使用することによって、基板毎に最適な結晶化エネルギー密度により結晶化を行い、高品質な結晶性半導体膜を、基板間でばらつきなく形成できるようにしている。

【0047】[実施例1] 図7は、本発明を適用した微結晶化のしきい値の判断方法として、ラマン分光分析の信号強度測定を用いた結晶性半導体膜のアニール装置の概要図である。レーザー光の照射が行われるレーザー照射室60にはラマン分光分析用の励起光66導出用のレーザー64（本例の場合はArレーザー：514.5nmを使用）と、試料からの散乱光67の導入部が備え付けられている。そしてその導入部に引き続くところには分光器ならびにラマンスペクトル信号をカウントするためのCCD（電荷結合素子）63が備え付けられている。

【0048】予備照射工程においては、搬送ステージ61上のアモルファスシリコン膜付き基板62に対して1パルスのラインビームであるレーザー光の照射を行い、アモルファスシリコン膜の一部をライン状に結晶化した後、この結晶化された部分に対してラマン分光分析の信号強度測定の手法を用いて、結晶性半導体膜が微結晶化を生じる照射エネルギー密度を求めている。散乱光強度の数値化など一連の処理はコンピューターからなる付属のラマン制御装置65により処理される。このときの信号強度の変化から微結晶化のしきい値を判断する方法について説明する。

【0049】図8はラマン分光分析の信号強度である。[レーザー照射時のエネルギー密度と膜質]において説明したラマン半値幅は、微結晶化のしきい値に達するとわずかに広がるのに対応して、信号強度は急激に低くなる。これは微結晶化のしきい値に到達することによって、多結晶シリコンはその結晶性が低下するためと、表面の荒れが収まり平滑になるため、観測される散乱光が減少するためである。この結果、この信号強度を見ることによって、データ解析を行いラマン半値幅を求めなくとも、微結晶化のしきい値を生じるエネルギー密度を容易に判断できる。

【0050】このように測定された信号強度からオペレーターが微結晶化のしきい値を確認した後に、レーザー発振器の制御系に微結晶化のしきい値よりわずかに低い値である照射エネルギー密度を入力し結晶化アニールを行うことができる。またこの信号強度データをレーザー発振器に取り込み微分処理し、その傾きが最大となるところから微結晶化のしきい値を判断するようプログラミングすれば、自動的に照射エネルギー密度が最適化され結晶化アニールを行うことができるので、より一層効率的である。

【0051】[実施例2] 同様に実施例2として光学顕微鏡システムと評価系を組み込んだ微結晶化のしきい値判定システムについて説明する。光学顕微鏡は照射室に取り付けられておりレーザー光照射後直ちに観察が可能となっている。

【0052】ここでは予備照射工程においてのアモルファスシリコン膜に対して1パルスのラインビームであるレーザー光の照射を行い、アモルファスシリコン膜の一部をライン状に結晶化した後、この結晶化された部分を光学顕微鏡の暗視野モードによって、結晶性半導体膜が微結晶化を生じる照射エネルギー密度を求める方法について説明する。

【0053】光学顕微鏡は暗視野において落射光を観察しており、これは基板表面における直接の反射光ではなく、表面における散乱光が取り込まれている。そのため微結晶化を迎えた半導体膜表面は急激にその表面荒れが低減するため、明確な散乱光の変化となって観測される。さらにこの散乱光はCCDによって取り込まれた後、R (Red) G (Green) B (Blue) の3色に成分分離することによって、その変化がより明確となる。図9にはR (「●」および実線L11)、G (「■」および点線L12)、B (「▲」および一点鎖線L13) それぞれについての結果を示す。

【0054】図中に矢印をもって示した条件において強度は急激に低下しており、これより微結晶化を迎えたことが判断される。

【0055】このように測定された反射光強度からオペレーターが微結晶化のしきい値を確認した後に、レーザー発振器の制御系に微結晶化のしきい値よりわずかに低

1 1

い値である照射エネルギー密度を入力し結晶化アニールを行うことができる。またこの反射光強度データをレーザー発振器に取り込み微分処理し、その傾きが最大となるところから微結晶化のしきい値を判断するようプログラミングすれば、自動的に照射エネルギー密度が最適化され結晶化アニールを行うことができるので、より一層効率的である。

【0056】

【発明の効果】以上説明したように、本発明に係るアクティブマトリクス基板では、多結晶シリコン膜を得るためのエネルギー光照射時に、時事、基板毎に変化する微結晶化のしきい値に対応して、絶えずこの微結晶化を超えないような照射エネルギー密度条件によってレーザー結晶化を行うことで、結晶化率にばらつきのない高品質な結晶性半導体膜を形成することができ、高い移動度のTFTを均一性よく製造することができる。

【図面の簡単な説明】

【図1】(A)は、液晶表示装置のアクティブマトリクス基板を模式的に示す説明図、(B)は、その駆動回路に用いたCMOS回路の説明図である。

【図2】液晶表示装置のアクティブマトリクス基板上の画素領域を拡大して示す平面図である。

【図3】(A)は、図2のI-I'線における断面図、(B)は、図2のII-II'線における断面図である。

【図4】本発明の実施例において、図2のに示すI-I'線における断面に対するTFTの工程断面図である。

【図5】レーザー溶融結晶化におけるエネルギー密度とシリコン膜に起きる変化との関係を示す説明図である。

【図6】レーザー溶融結晶化におけるエネルギー密度と結晶性の関係を示すグラフである。

【図7】本発明の実施例に係る結晶性半導体膜のアニール装置を示す説明図である。

1 2

【図8】本発明の実施例に係る、レーザー溶融結晶化におけるエネルギー密度とラマン信号強度の関係を示すグラフである。

【図9】本発明の実施例に係る、レーザー溶融結晶化におけるエネルギー密度と光学顕微鏡暗視野モードの散乱光強度の関係を示すグラフである。

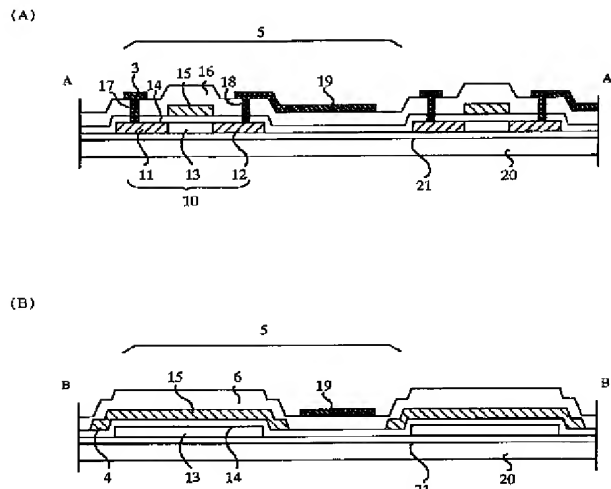
【図10】本発明の実施例に係る液晶表示装置の平面図である。

【図11】本発明の実施例に係る液晶表示装置の断面図であり、図10のH-H'における断面である。

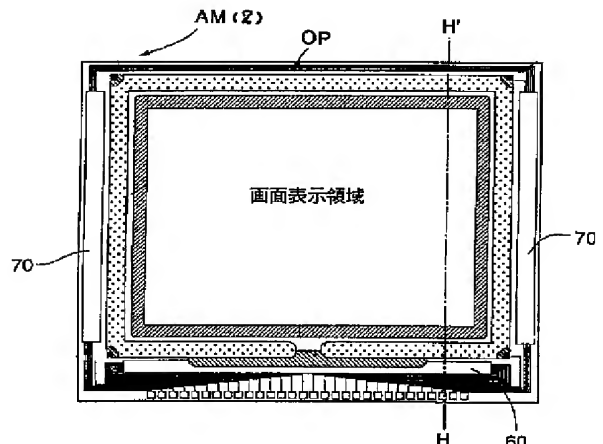
【符号の説明】

- | | |
|-------|-------------------|
| 1 | 液晶表示装置 |
| 2 | アクティブマトリクス基板 |
| 3 | データ線 |
| 4 | 走査線 |
| 5 | 画素領域 |
| 6 | 液晶容量 |
| 9 | アクティブマトリクス部 |
| 10 | TFT |
| 11 | ソース領域 |
| 12 | ドレイン領域 |
| 13 | チャネル領域 |
| 14 | ゲート絶縁膜 |
| 15 | ゲート電極 |
| 16 | 層間絶縁膜 |
| 17、18 | コンタクトホール |
| 19 | 画素電極 |
| 20 | ガラス基板 |
| 21 | 下地保護膜 |
| 25 | 保持容量 |
| 30 | シリコン膜（シリコン膜30） |
| 31 | 島状のシリコン膜（シリコン膜30） |

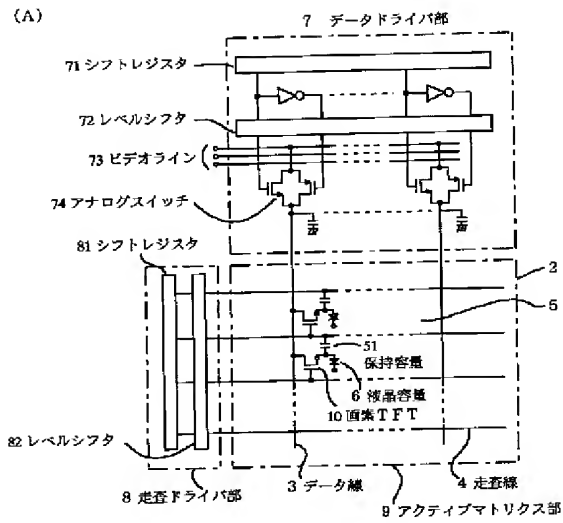
【図3】



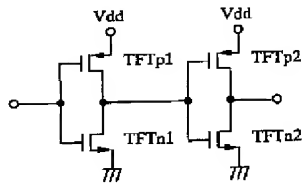
【図10】



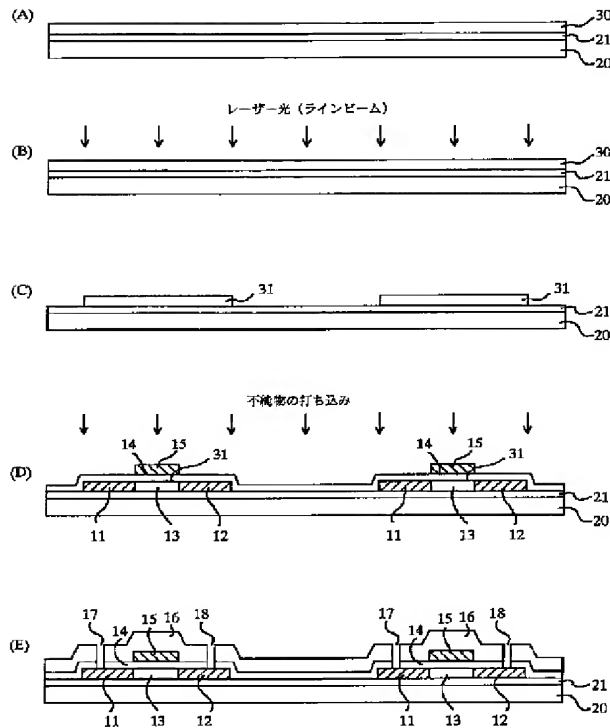
【図1】



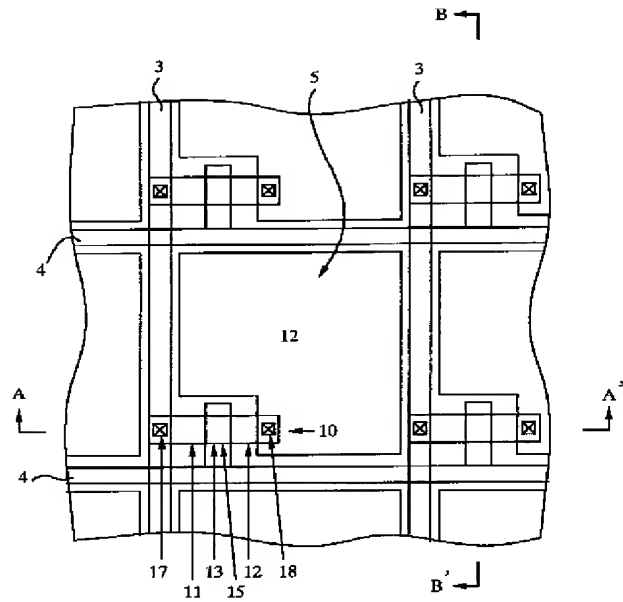
(B)



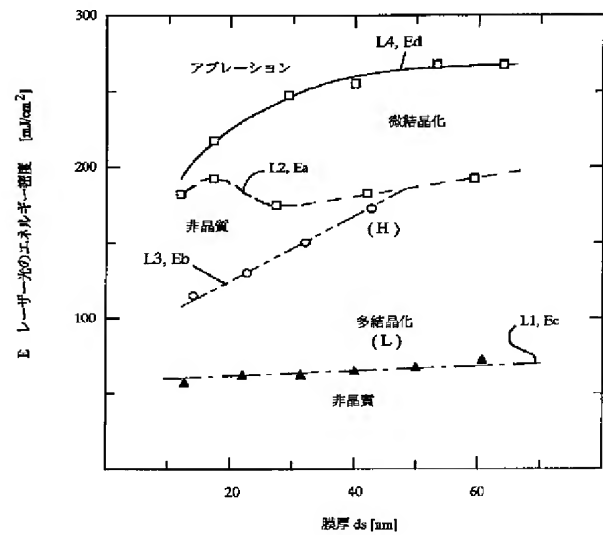
【図4】



【図2】



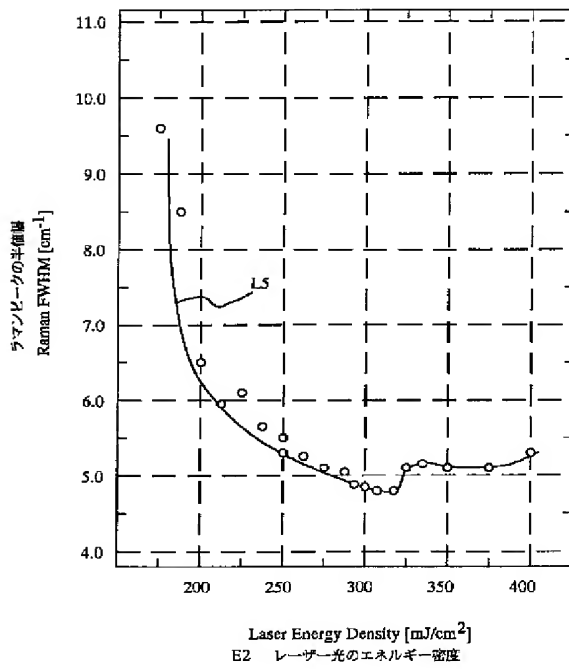
【図5】



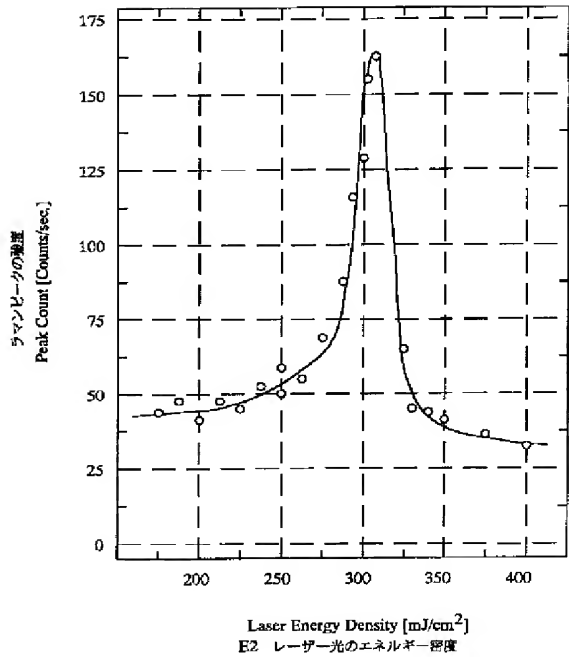
【図11】



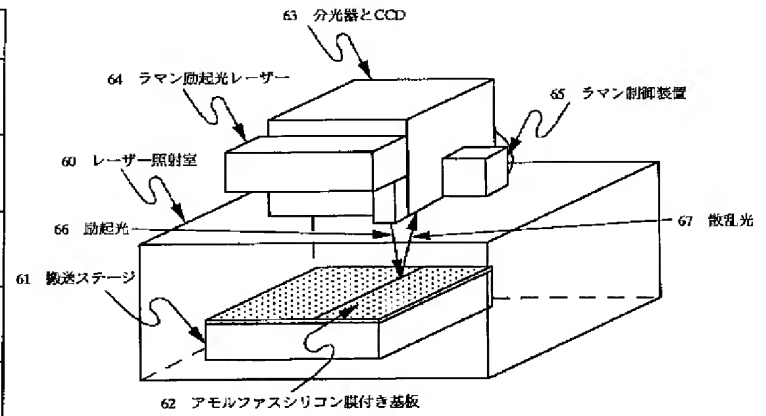
【図6】



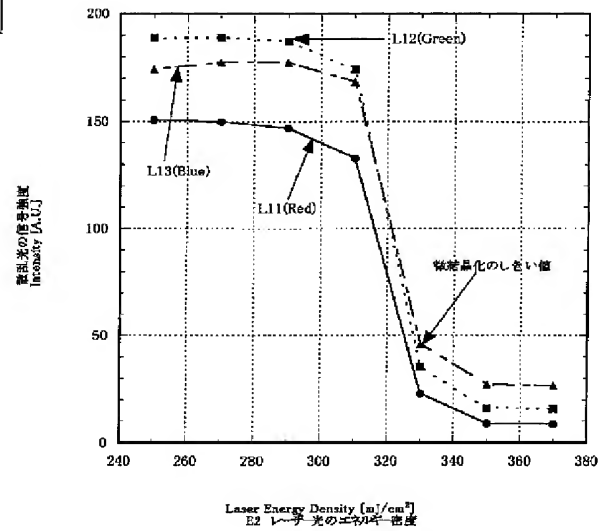
【図8】



【図7】



【図9】



PAT-NO: JP02000114174A
DOCUMENT-IDENTIFIER: JP 2000114174 A
TITLE: MANUFACTURE OF
SEMICONDUCTOR FILM,
MANUFACTURE OF THIN- FILM
TRANSISTOR, ACTIVE MATRIX
SUBSTRATE AND ANNEALING
EQUIPMENT

PUBN-DATE: April 21, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
ABE, HIROYUKI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SEIKO EPSON CORP	N/A

APPL-NO: JP10283015

APPL-DATE: October 5, 1998

INT-CL (IPC): H01L021/20 , H01L021/268 , H01L029/786 ,
H01L021/336

ABSTRACT:

PROBLEM TO BE SOLVED: To prevent generation of irregularities in crystallization of a semiconductor film by installing a preliminary irradiation process, where the semiconductor film is irradiated with an energy light before a film formation process, and irradiated energy density of the energy light is decided on the basis of a light from the semiconductor film.

SOLUTION: In a preliminary irradiation process, a substrate 62 with an amorphous silicon film on a carrying stage is irradiated with a laser light as one-pulse line beam, and a part of the amorphous silicon film is crystallized in a line form. After that, irradiated energy density, with which fine crystallization is generated in the crystalline semiconductor film is obtained, by applying a technique of signal intensity measurement of Raman spectral analysis to the crystallized part. A series of treatment, such as digitization of scattered light intensity, is processed with a Raman controller 65. Irradiated energy density which is a value only slightly lower than a fine crystallization threshold is inputted in the control system of a laser oscillator, and crystallization annealing is performed.

COPYRIGHT: (C)2000,JPO